

T 1/5/ALL

1/5/1

DIALOG(R)File 352:Derwent WPI

(c) 2002 Thomson Derwent. All rts. reserv.

013206114 **Image available**

WPI Acc No: 2000-377987/200033

XRPX Acc No: N00-283895

Thin film transistor active matrix type liquid crystal device has light shielding layers above and below switching transistors

Patent Assignee: SONY CORP (SONY)

Inventor: ABE F; HASHIMOTO Y; HAYASHI Y; IIDA M; KOIKE S; SATO T; UCHINO K

Number of Countries: 028 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 997769	A2	20000503	EP 99308296	A	19991021	200033 B
JP 2000131716	A	20000512	JP 98307465	A	19981028	200033
JP 2000298290	A	20001024	JP 98307465	A	19981028	200059
			JP 200064978	A	19981028	
KR 2000029160	A	20000525	KR 9945197	A	19991019	200110
JP 3141860	B2	20010307	JP 98307465	A	19981028	200116
US 6327006	B1	20011204	US 99427735	A	19991027	200203

Priority Applications (No Type Date): JP 98307465 A 19981028; JP 200064978

A 19981028

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

EP 997769 A2 E 10 G02F·001/1362

Designated States (Regional): AL AT BE CH CY DE DK ES FI FR GB GR IE IT
LI LT LU LV MC MK NL PT RO SE SI

JP 2000131716 A 8 G02F·001/136

JP 2000298290 A 6 G02F·001/1368 Div ex application JP 98307465

KR 2000029160 A G02F·001/136

JP 3141860 B2 7 G02F·001/1368 Previous Publ. patent JP 2000131716

Abstract (Basic): EP 997769 A2

NOVELTY - The display device comprises an active substrate (1) with pixel thin-film transistors (TFT) (7) and a counter substrate (2) sandwiching a liquid crystal (LC) layer (3). Upper and lower light-shielding layers (4,5) are formed adjacent to the side of the pixel transistor and counter substrate layers. The upper shielding and lead electrode layers shield the entire region apart from the pixel openings.

USE - Thin film transistor active matrix type liquid crystal device.

ADVANTAGE - Scattered or reflected incident or return rays are prevented from entering the transistor layer and preventing photoelectric current leakage. The result is a flicker-free high contrast display.

DESCRIPTION OF DRAWING(S) - The figure shows a cross section of the display device.

Active substrate (1)
Counter substrate (2)
LC layer (3)
Light shielding layers (4,5)
TFT (7)

pp: 10 DwgNo 2/5

Title Terms: THIN; FILM; TRANSISTOR; ACTIVE; MATRIX; TYPE; LIQUID; CRYSTAL;

DEVICE; LIGHT; SHIELD; LAYER; ABOVE; BELOW; SWITCH; TRANSISTOR

Derwent Class: P81; P85; U14

International Patent Class (Main): G02F-001/136; G02F-001/1362; G02F-001/1368

International Patent Class (Additional): G02B-005/00; G02F-001/1335; G09F-009/30; G09F-009/35; H01L-021/336; H01L-029/786

File Segment: EPI; EngPI

(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

特許第3141860号

(P3141860)

(45)発行日 平成13年3月7日(2001.3.7)

(24)登録日 平成12年12月22日(2000.12.22)

(51)Int.Cl.⁷ 識別記号
G 0 2 F 1/1368
G 0 2 B 5/00
G 0 2 F 1/1335 5 0 0
G 0 9 F 9/35 3 0 2
H 0 1 L 21/336

F I
G 0 2 F 1/136 5 0 0
G 0 2 B 5/00 B
G 0 2 F 1/1335 5 0 0
G 0 9 F 9/35 3 0 2
H 0 1 L 29/78 6 1 2 Z

請求項の数9(全7頁) 最終頁に続く

(21)出願番号 特願平10-307465
(22)出願日 平成10年10月28日(1998.10.28)
(65)公開番号 特開2000-131716(P2000-131716A)
(43)公開日 平成12年5月12日(2000.5.12)
審査請求日 平成11年5月10日(1999.5.10)

前置審査

(73)特許権者 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 佐藤 拓生
東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内
(72)発明者 阿部 文明
東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内
(72)発明者 橋本 芳浩
東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内
(74)代理人 100092336
弁理士 鈴木 晴敏
審査官 井口 猪二

最終頁に続く

(54)【発明の名称】 液晶表示装置の製造方法

(57)【特許請求の範囲】

【請求項1】 基板上で半導体薄膜の上にゲート電極を配したトップゲート構造の画素トランジスタであるTFTを有するTFT基板と、液晶を介して該TFT基板と対向する対向基板とを備える液晶表示装置の製造方法において、
画素トランジスタ部の対向基板側、及び画素トランジスタ部の対向基板とは逆の側で基板とTFTとの間の双方の側に遮光層を形成し、
前記対向基板側の遮光層は、対向基板側からの入射光に対して、画素開口以外の領域すべての遮光を行ない、前記対向基板には遮光層を形成せず、
前記対向基板とは逆の側で基板とTFTの間にある遮光層を各画素内でゲートラインと接続することを特徴とする液晶表示装置の製造方法。

【請求項2】 前記対向基板とは逆の側で基板とTFTの間にある遮光層を画素単位で切り離す工程を含むことを特徴とする請求項1記載の液晶表示装置の製造方法。

【請求項3】 少なくとも画素トランジスタのソース／ドレイン端部は、前記対向基板とは逆の側で基板とTFTの間にある遮光層で遮光することを特徴とする請求項1記載の液晶表示装置の製造方法。

【請求項4】 前記遮光されているソース／ドレイン端部にLDD領域を形成することを特徴とする請求項2記載の液晶表示装置の製造方法。

【請求項5】 前記対向基板とは逆の側で基板とTFTの間にある遮光層は、画素トランジスタ形成層の下部に膜厚200～1500nmの絶縁膜を介して形成することを特徴とする請求項1記載の液晶表示装置の製造方法。

【請求項 6】 前記対向基板とは逆の側で基板と TFT の間にある遮光層の抵抗は、100Ω/□以下にすることを特徴とする請求項 1 記載の液晶表示装置の製造方法。

【請求項 7】 前記対向基板とは逆の側で基板と TFT の間にある遮光層は、少なくとも400～500nmの領域の光に対して透過率が50%以下にすることを特徴とする請求項 1 記載の液晶表示装置の製造方法。

【請求項 8】 前記対向基板側の遮光層は、対向基板側からの入射光に対して2以上の相互に分離された遮光層により遮光を行なうことを特徴とする請求項 1 記載の液晶表示装置の製造方法。

【請求項 9】 前記画素トランジスタが多結晶 Si-TFT であることを特徴とする請求項 1 記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示装置に関し、特に、画素トランジスタである TFT を有する TFT 基板と、液晶を介して該 TFT 基板と対向する対向基板とを備える液晶表示装置に関するものである。

【0002】

【従来の技術】 従来より、ガラスや石英等より成る基板上に TFT (薄膜トランジスタ) を形成して TFT 基板とし、該 TFT 基板と対向基板との間に液晶を有する液晶表示装置が知られている。

【0003】 従来のこの種のものは、通常、対向基板側から光源の光を入射させる。この光が画素トランジスタに入射すると、光リーク電流により、コントラスト低下やフリッカ等の画質劣化が生じることがある。

【0004】 たとえば多結晶 Si は、a-Si ほど高感度ではないが、たとえば近年の液晶表示装置ではプロジェクタのように大光量下での使用が増加するので、多結晶 Si-TFT を用いた液晶表示装置にあっても、光リーク電流が無視できなくなつて来ている。よって多結晶 Si-TFT を用いた場合についても、光リーク電流によるコントラスト低下やフリッカ等の画質劣化が問題となっている。

【0005】 従来、対向基板側からの光の画素トランジスタへの入射抑制については、図 5 (a) に示すように、対向基板 2 にブラックマトリックス B を設置することで、その遮光を行っていた。しかしこの構造では、直進する入射光 L₁ の遮光は可能であるが、散乱ないし反射等した入射光の一部 L₂ が画素トランジスタ 7 に入射することを防ぐことができない。そこで本発明者らは、図 5 (b) に示すように、対向基板 2 に設置してあったブラックマトリックスをよりトランジスタに近い位置である TFT 基板 1 のトランジスタの上層 (対向基板側) に設置することで、光入射低減を図る技術を提案した (特開平 8-262494 号公報参照)。これによれ

ば、図 5 (b) のように、散乱ないし反射等した入射光 L₂ の画素トランジスタ 7 への入射を防ぐことができる。この提案では、2つの層でブラックマトリックスを形成して、遮光層としている。

【0006】 しかし図示するように、出射光の一部 L₃ は、光学系等からの反射等により、TFT 基板側からトランジスタへ入る戻り光 (迷光) を発生させている。この戻り光 (迷光) L₃ のトランジスタ部 7 への入射は、いずれの構造でも防止できない。

【0007】 特に、トップゲートまたはプレーナ構造の多結晶 Si-TFT を用いた液晶表示装置では、TFT 基板の最下層 (対向基板とは逆の方) にトランジスタの活性層が形成されているため、TFT 基板側からの光は直接トランジスタ活性層に入射し、光リーク電流の原因となっている。

【0008】

【発明が解決しようとする課題】 本発明は、上記した問題点を解決するためになされたもので、本発明の目的は、上記戻り光を含め、散乱・反射等した入射光がトランジスタ部に入射することを防止でき、もって光リーク電流等の発生の問題を解決した液晶表示装置を提供することである。

【0009】

【課題を解決するための手段】 本発明は、基板上で半導体薄膜の上にゲート電極を配したトップゲート構造の画素トランジスタである TFT を有する TFT 基板と、液晶を介して該 TFT 基板と対向する対向基板とを備える液晶表示装置の製造方法において、画素トランジスタ部の対向基板側、及び画素トランジスタ部の対向基板とは逆の側で基板と TFT の間の双方の側に遮光層を形成し、前記対向基板側の遮光層は、対向基板側からの入射光に対して2以上の遮光層により、画素開口以外の領域すべての遮光を行ない、前記対向基板には遮光層を形成しないことを特徴とするものである。前記の2以上の遮光層は、その重ね合わせにより、画素開口以外の領域すべての遮光を行うように形成できる。そして、前記対向基板とは逆の側で基板と TFT の間にある遮光層を各画素内でゲートラインと接続する。好ましくは、この遮光層を画素単位で切り離す。

【0010】 本発明によれば、画素トランジスタ部の対向基板側、及び画素トランジスタ部の対向基板とは逆の側の双方の側に遮光層が形成されることにより、図 4 に略示するように上述した戻り光 (L₃) も対向基板とは逆の側 (出射側) の遮光層 (遮光層 5) により遮光され、よって光入射による光リーク電流等の発生の問題を解決できる。

【0011】

【発明の実施の形態】 以下、本発明の好ましい実施の形態について、図面を参照して具体的な実施の形態例を説明することにより、さらに説明する。但し当然のことと

はあるが、本発明は以下の説明及び図示の実施の形態例に限定されるものではない。

【0012】実施の形態例1

本実施の形態例の構成を、図1に断面構造で、図2に平面構造で示す。なお、本例は、画素トランジスタとして高温ポリシリコンTFTを用いた場合を示したが、その他たとえば低温ポリシリコンTFTや、a-シリコンTFTを用いた場合等にも適用できる（他の実施の形態例についても同じ）。

【0013】図1を参照する。図示例は本発明を具体化したアクティブマトリクス型の液晶表示装置であって、画素トランジスタであるTFTを有する基板1（TFTを担持する石英から成る）と、対向基板2とを備え、該基板1と対向基板2との間には、液晶3が保持される。対向基板2は対向電極6を備える。

【0014】基板1は、上層部に画素電極8を有し、下層部にTFT（薄膜トランジスタ、ここではトップゲート構造のTFT）7を有する。TFT7は、各画素電極8を駆動するスイッチング素子としての役割を果たす。TFT7は、本例ではポリシリコンからなる半導体薄膜10を活性層としている。この半導体薄膜10は、第1層ポリシリコン（1poly）で、構成される。半導体薄膜10上には、 SiO_2 等からなるゲート絶縁膜11を介して、ゲートGが形成されている。このゲートGは、第2層ポリシリコン（2poly）で、構成される。TFT7は、ゲートGの両側に、ソース領域S及びドレイン領域Dを有する。本例では、ソース／ドレイン端部にLDD領域が形成されている。ソース領域S及びドレイン領域Dには、各々引き出し電極12A、12Bが接続している。各引き出し電極12A、12Bは、アルミニウム等のアルミニウム系材料で形成できる。

【0015】半導体薄膜10には、補助容量13（Cs）が形成されている。この補助容量13（Cs）は、半導体薄膜10すなわちTFT7を構成する第1層ポリシリコン（1poly）と、半導体薄膜14すなわちゲートGを構成する第2層ポリシリコン（2poly）とが、ゲート絶縁膜11を構成する SiO_2 等の絶縁膜を挟んで形成される。

【0016】上記画素電極8を有する上層部と、TFT7が形成されている下層部との間の中層部には、遮光層4M、4Pが形成されている。これは、TFT7に対して対向基板2側、すなわち、入射側にある遮光層である。適宜、「上層遮光層」とも称する。本例では図示のとおり、上層遮光層は、マスク遮光層4M及びパッド遮光層4Pとからなる。このように、対向基板側からの入射光に対しては2つの上層遮光層（マスク遮光層4M及びパッド遮光層4P）と引き出し電極12A及び12B（ここではアルミニウムにより形成）の重ね合わせにより、画素開口以外の領域すべての遮光をなしている。本例ではマスク遮光層4M及びパッド遮光層4Pは、とも

に導電性を有する材料、たとえばTi等の金属膜からなる。マスク遮光層4Mは画素の行方向に沿って、連続的にパターニングされてなり、少なくとも部分的にTFT7を遮光する。パッド遮光層4Pは画素ごとに離散的にパターニングされ、画素電極とのコンタクトに寄与している。これらマスク遮光層4M及びパッド遮光層4Pと、引き出し電極12A及び12Bの重ね合わせにより、画素開口以外の領域のすべてが対向基板側からの入射に対して遮光される。

【0017】一方、画素トランジスタ部の対向基板とは逆の側に、遮光層5が形成されている。これを適宜、「下層遮光層」とも称する。少なくとも画素トランジスタのソース／ドレイン端部は、この下層遮光層で遮光されている。このように遮光されているソース／ドレイン端部に、前述のLDD領域71、72が形成されているのである。

【0018】図2において、この下層遮光層5は、特に斜線を付して明示する。なお図2中、符号10で、画素を構成する第1層ポリシリコンを示し、141で、ゲート線を構成する第2層ポリシリコンを示し、142で、補助容量Csを構成する第2層ポリシリコンを示す。符号15は、信号線（ここではアルミニウムからなる）である。

【0019】本例において、下層遮光層5は、高融点金属のシリサイドから形成した。特に、WSiの200nm厚の膜で形成した。

【0020】下層遮光層5は、ここでは少なくとも画素トランジスタ（TFT7）のソース／ドレイン端部より、 $\pm 2.0\mu\text{m}$ の領域を遮光する形状に、パターニングした。この下層遮光層5は、GNDと接続した。

【0021】少なくとも遮光されるべき画素トランジスタ（TFT7）のソース／ドレイン端部は、ゲートGの端士 $0.5\mu\text{m}$ 、より好ましくは士 $1.0\mu\text{m}$ であることが好ましい。

【0022】また、トランジスタ部のチャネル部の下部まで、一体化して、下層遮光層5を設置してもよい。

【0023】さらに、GNDと接続するために画素領域外まで配線を伸ばす際には、画素トランジスタのゲート線以外の領域に設置してもよい。これは、段差緩和のためと、ゲート線の負担を軽くできるためである。このような配線ができるのは、入射光に対する画素開口以外全体の遮光が、上層遮光層で達成できることによる。

【0024】本例では、下層遮光層5上に、AP-CVDにより、 $\text{NSG} 600\text{nm}$ を絶縁層9として積層した。さらにその上に、TFT7の活性層となる多結晶シリコン（半導体薄膜10をなす第1層ポリシリコン（1poly））を、LPCVDにより形成した。

【0025】下層遮光層5への隣接配線からの寄生容量を抑えるためには、上記したように、下層遮光層5と画素トランジスタ形成層（半導体薄膜10）との間になる

べく厚膜の絶縁膜9を設置するのが好ましい。通常その膜厚は100nm以上がよく、さらに好ましくは200～1500nmがよい。ここでは上記のようにNSG600nmとした。絶縁膜材料は、LPCVDやAPCVDやp-CVDによるSiO₂膜、SiN膜等が使われる。好ましくは、LPCVDによるTEOS膜、HTO膜、APCVDによるNSG、PSG、BPSG等、あるいはこれらの積層膜が用いられる。

【0026】下層遮光層5は、隣接配線からのカップリング容量を抑えるため、100Ω/□以下の低抵抗であることが好ましい。より好ましくは、10Ω/□以下であることがよい。

【0027】また、トランジスタの光リークを抑制するためには、少なくとも400～500nmの領域の光に対して、透過率が一般に50%以下であるようにする。好ましくは、透過率が10%以下がよい。遮光効果を上げるためにには、さらに低い方が好ましい。

【0028】下層遮光層5の厚さは、上記抵抗と遮光性の両立が達成されれば、どの程度でもよいが、実用上は、10～1000nmがよく、さらに好ましくは100～400nmがよい。

【0029】下層遮光層5より上層に多結晶シリコンのトランジスタを形成するためのプロセスの整合性を考慮すると、該遮光層5の材料としては、高融点金属、またはその化合物が好ましく用いられる。たとえば、W、Mo、Pt、Pd、Ti、Crや、それらのシリサイドを挙げることができる。

【0030】一方、上層遮光層については、マスク遮光層4M及びパッド遮光層4Pとともに導電性を有する材料、たとえばチタン等の金属からなることが好ましいわけであるが、マスク遮光層4Mは固定電位、たとえば対向電極6の電位と等しく設定し、パッド遮光層4Pは、画素電極8と引き出し電極12Bとの間に介在して、両者の電気的接続を良好にする(図1参照)作用を果たさせるようできる。これら上層遮光層も、たとえば400～700nmの可視光領域で、透過率1%以下、好ましくは0.1%以下として、設定できる。材料としては、上記Tiの他に、Cr、Ni、Ta、W、Al、Cu、Mo、Pt、Pd等の金属、これらの合金、シリサイド等を用いてもよい。膜厚は、上記遮光性を満たせばよいが、通常好ましくは50nm以上であればよい。マスク遮光層4M及びパッド遮光層4Pは、同一層で構成できる。

【0031】画素トランジスタは、ダブルゲート構造であってもよい。その場合は、信号線側と画素側の少なくとも2個所のソース/ドレイン端部を遮光すればよい。

【0032】また、画素トランジスタに限らず、駆動回路のトランジスタを遮光してもよい。光により発生した

キャリアによる特性不良を防ぐこともできる。

【0033】実施の形態例2

本実施の形態例においては、下層遮光層5を、各段のゲートGと接続した。それ以外は、実施の形態例1と同様とした。

【0034】下層遮光層5は、厚い絶縁膜9を介してはいるが、活性層である半導体薄膜10(第1層ポリシリコン(1poly))に対して弱いゲートの作用を及ぼすため、実施の形態例1のごときGND接続の場合、トランジスタのON電流が少し低下する傾向がある。これに対し本実施の形態例によれば、下層遮光層5をゲートGと接続することで、このON電流低下を抑制することができる。

【0035】実施の形態例3

本実施の形態例の平面構造を、図3に示す。本例では、下層遮光層5を、画素単位で切り離して、各画素に対応する下層遮光層51、52…とした。各トランジスタのLDDは、実施の形態例1と同様、十分に覆って、遮光するようにした。また、本例では、各画素のなかで、各下層遮光層51、52…は、ゲートGと接続した。それ以外は、実施の形態例1と同様とした。

【0036】

【発明の効果】上述したように、本発明の液晶表示装置によれば、上述した戻り光を含め、散乱・反射等した入射光がトランジスタ部に入射することを防止でき、もって光リーク電流等の発生の問題を解決することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態例1の構成を断面構造で示すものである。

【図2】 本発明の実施の形態例1の構成を平面構造で示すものである。

【図3】 本発明の実施の形態例3の構成を平面構造で示すものである。

【図4】 本発明の作用を示す概略説明図である。

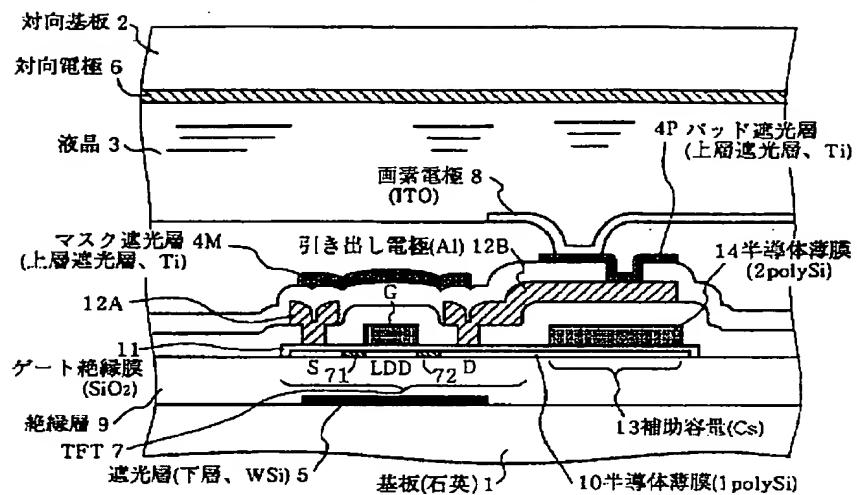
【図5】 従来技術の問題点を示す図である。

【符号の説明】

1…基板(TFT基板)、2…対向基板、3…液晶、4M…マスク遮光層(上層遮光層)、4P…パッド遮光層(上層遮光層)、5, 51, 52…下層遮光層、6…対向電極、7…TFT、G…ゲート、S…ソース領域、D…ドレイン領域、8…画素電極、9…絶縁層、10…半導体薄膜(1polySi)、11…ゲート絶縁膜、12A…引き出し電極、12B…引き出し電極、13…補助容量(Cs)、14…半導体薄膜(2polySi)、15…信号線。

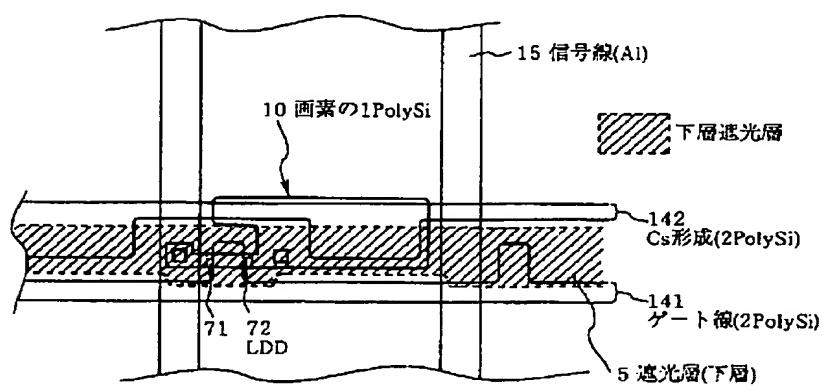
【図1】

実施の形態例1の構成（断面）



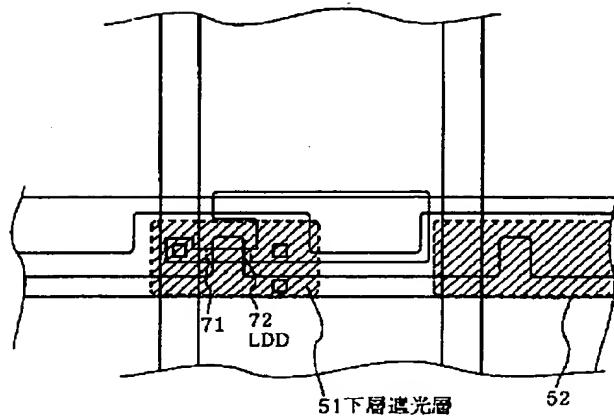
【図2】

実施の形態例1の構成（平面）



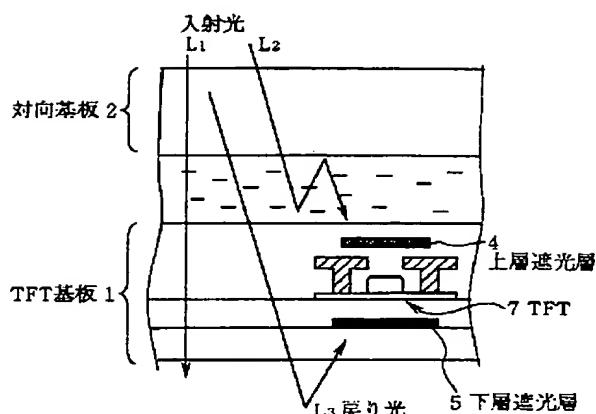
【図3】

実施の形態例3の構成（平面）



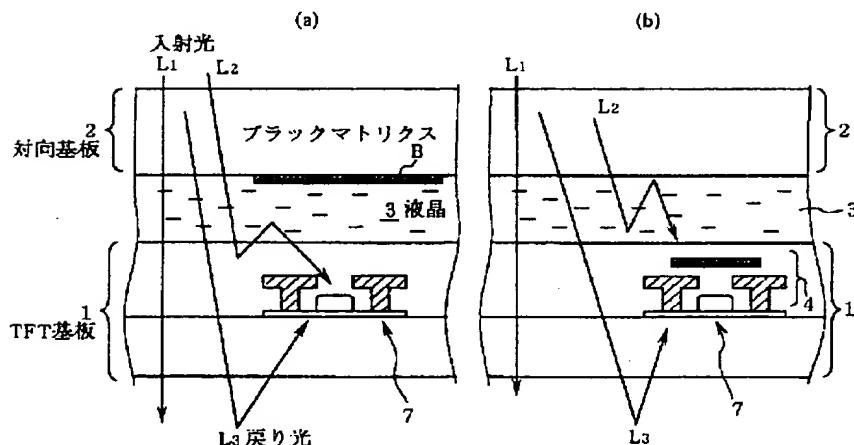
【図4】

本発明の作用の概略説明図



【図5】

従来技術の問題点



フロントページの続き

(51) Int. Cl. 7
H 01 L 29/786

識別記号

F I
H 01 L 29/78

619B

(72) 発明者 小池 啓文
東京都品川区北品川6丁目7番5号 ソ
ニ一株式会社内
(72) 発明者 内野 勝秀
東京都品川区北品川6丁目7番5号 ソ
ニ一株式会社内

(72) 発明者 林 祐司
東京都品川区北品川6丁目7番5号 ソ
ニ一株式会社内
(72) 発明者 飯田 正幸
東京都品川区北品川6丁目7番5号 ソ
ニ一株式会社内

(56)参考文献 特開 昭58-159520 (JP, A)
特開 平1-167729 (JP, A)
特開 平6-82826 (JP, A)
特開 平9-26602 (JP, A)
特開 平10-154813 (JP, A)
特開 平7-302912 (JP, A)
特開 平3-182723 (JP, A)
特開 平5-188398 (JP, A)
特開 昭62-81061 (JP, A)
特開 平8-292450 (JP, A)
特開 平9-33950 (JP, A)
国際公開98/16868 (WO, A 1).

(58)調査した分野(Int. Cl. 7, DB名)

G02F 1/1368
G02F 1/1335 500